

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7
G06F 15/78, 9/38

A1

(11) 国際公開番号

WO00/19329

(43) 国際公開日

2000年4月6日(06.04.00)

(21) 国際出願番号

PCT/JP99/05265

(81) 指定国 DE, GB, KR, US

(22) 国際出願日

1999年9月28日(28.09.99)

添付公開書類

(30) 優先権データ

特願平10/273774

1998年9月28日(28.09.98)

JP

国際調査報告書

請求の範囲の補正の期限前の公開；補正書受領の際には再公開される。

(71) 出願人（米国を除くすべての指定国について）

株式会社 ローラン(RORAN CO.)(JP/JP)

〒530-0044 大阪府大阪市北区東天満1-4-16 Osaka, (JP)

(72) 発明者；および

(75) 発明者／出願人（米国についてのみ）

茂木建二(SHIGEKI, Kenji)(JP/JP)

〒530-0044 大阪府大阪市北区東天満1-4-16

株式会社 ローラン内 Osaka, (JP)

(74) 代理人

板谷康夫(ITAYA, Yasuo)

〒542-0081 大阪府大阪市中央区南船場3-9-10

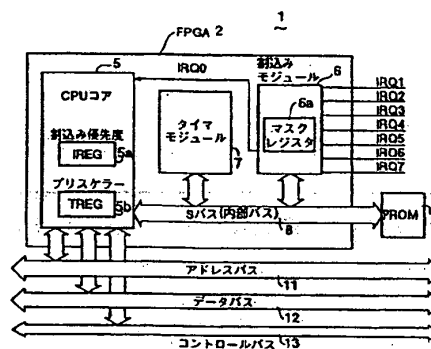
徳島ビル11F Osaka, (JP)

(54)Title: INTEGRATED CIRCUIT AND RECORDED MEDIUM ON WHICH DATA ON INTEGRATED CIRCUIT IS RECORDED

(54)発明の名称 集積回路及び集積回路用のデータを記録した記録媒体

(57) Abstract

An integrated circuit includes an FPGA (2) having the function of a CPU core (5) and user circuits, so that the number of components such as a peripheral circuit chip is small and the manufacturing cost is low. The CPU core (5), its peripheral circuits, and a system bus (8) are stored as logic data in a PROM (3), and therefore the FPGA (2) can function as the CPU core (5), peripheral circuits (6, 7), and the system bus (8) based on the logic data. In accordance with the contents of logic data stored in the PROM (3), the CPU core (5), the peripheral circuits (6, 7), and the system bus (8) all having desired functions are provided. Since separate circuits can be retrofitted to the system bus (8), the functions of the CPU core (5) can be extended and changed readily.



- 5 ... CPU CORE
- 6 ... INTERRUPT MODULE
- 6a ... MASK REGISTER
- 7 ... TIMER MODULE
- 8 ... S BUS (INTERNAL BUS)
- 11 ... ADDRESS BUS
- 12 ... DATA BUS
- 13 ... CONTROL BUS
- A ... INTERRUPT PRIORITY
- B ... PRESCALER

(57)要約

集積回路において、FPGA (2) そのものにCPUコア (5) の機能を持たせると共にユーザ回路等をも組み込むことにより、周辺回路チップ等の実装部品を少なくすることができ、低コスト化を図ることができるようにする。CPUコア (5)、その周辺回路及びシステムバス (8) はロジックデータとしてPROM (3) に記憶され、このロジックデータに基づいてFPGA (2) がCPUコア (5)、周辺回路 (6), (7) 及びシステムバス (8) として機能するように構成する。これにより、PROM (3) に記憶させるロジックデータの内容によって、所望の機能を有するCPUコア (5)、周辺回路 (6), (7) 及びシステムバス (8) を得ることができる。また、システムバス (8) に別個の回路を後付することが可能であるため、CPUコア (5) の機能を容易に追加・変更することができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	CD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CC 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジェール	VN ヴイエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーゴスラビア
CU キューバ	JP 日本	NO ノールウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュージーランド	ZW ジンバブエ
CZ チェッコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明細書

集積回路及び集積回路用のデータを記録した記録媒体

技術分野

本発明は、集積回路に関し、特に、フィールドプログラマブルゲートアレイ（FPGA）をCPUコア及びその周辺機器として機能させるための技術に関するものである。

背景技術

従来から、論理集積回路には、用途に応じて汎用論理ICと特定用途向けIC（ASIC）がある。その中でも、汎用論理ICは大量生産ができて低コストであり、マイクロプロセッサやプログラマブルロジックデバイス（PLD）などのようにユーザが手元で機能を完成させるものが含まれる。このPLDにはプログラマブルロジックアレイ（PLA）やFPGAなどがある。このFPGAは、基本論理回路で構成された論理モジュールと未接続の配線をチップに配置し、ユーザがプログラム素子を使って配線を完成させることで所望の機能を得るものである。ところで、マイクロプロセッサは、一般にCPUをLSIチップ上に集積した、システムLSIと称せられるものであって、論理回路や記憶回路の組み合わせとして実現されている。また、この種のマイクロプロセッサにおいて、命令処理を簡略化し、ハードウェアを簡素化することで高性能化を図ったRISC（リデュースド インストラクション セット コンピュータ）が知られている。

しかしながら、上記のような汎用のCPUコアを含むマイクロプロセ

ッサは、予め規定の機能が組み込まれていて、その中でもユーザ側で通常使用する機能は一部に限られていて、特定の用途に使用するために所望の機能が得られるように変更することは困難である。また、従来、マイクロプロセッサは、CPUコアと多数のチップとで構成されていることから、実装部品が多く複雑な構成となり信頼性に欠けるという問題もあった。

本発明は、上述した問題点を解決するためになされたものであり、FPGAそのものにCPUコアの機能を持たせると共にユーザ回路等をも組み込むことにより、従来のCPUコアを用いることなく、ユーザ所望の機能を持たせたシステムLSIとすることができ、しかも、周辺回路チップ等の実装部品を少なくすることができ、低コスト化が図れるRISCプロセッサとしての集積回路を提供することを目的とする。

発明の開示

上記目的を達成するために本発明は、フィールドプログラマブルゲートアレイ及び記憶装置を備えた集積回路であって、CPUコア及びCPUコアに接続される周辺回路はロジックデータとして記憶装置に記憶され、この記憶装置に記憶された内容に基づいて、フィールドプログラマブルゲートアレイがCPUコア及び周辺回路として機能するように構成されているものである。

上記構成においては、記憶装置にどのようなロジックデータを記憶させるかによって、CPUコア及び周辺回路の機能を自在に変えることができ、システムLSIの設計が容易となる。また、フィールドプログラマブルゲートアレイがCPUコア及び周辺回路として機能するので、集積回路に実装しなければならないチップの数が減少する。

上記において、周辺回路にはシステムバスが含まれ、該システムバス

に対してユーザが任意の回路を接続することが可能に構成されているものとするができる。これにより、CPUコアに直接接続されたシステムバスに、ユーザが所望の回路を後付けすることによって、簡単にCPUコアの機能を追加・変更することが可能である。

また、上記において、CPUコアによる演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第1ステージと、エグゼキューション、メモリの順に実行される第2ステージと、ダミー、ライトバックの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行し、1つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが3段パイプライン構成での並列動作を行うものとするができる。この構成においては、複数の演算処理の並列動作時に、フェッチサイクルとメモリサイクルとが同時に実行されることがなく、これら両サイクルが同一のメモリを競合するという事態が生じることがないので、キャッシュメモリを必要とすることなく並列処理を行うことができる。

さらに、本発明は、コンピュータ読み取り可能な記録媒体であって、フィールドプログラマブルゲートアレイ及び記憶装置からなる集積回路の記録装置に書き込まれるデータを有し、該データは、フィールドプログラマブルゲートアレイがCPUコア及びCPUコアに接続される周辺回路として機能するためのロジックデータである。

上記構成においては、記録媒体のデータをコンピュータに読み取らせて、コンピュータ上においてフィールドプログラマブルゲートアレイをCPUコア及びその周辺回路として機能させるためのシステムLSIを設計することが容易に行えるようになり、請求項1に記載の発明の作用

を得ることを支援することができる。

上記において、コンピュータ読み取り可能な記録媒体であって、周辺回路にはシステムバスを含み、このシステムバスに対してユーザが任意の回路を接続可能とすることができる。これにより、請求項 4 に記載の発明の作用に加えて、請求項 2 に記載の発明の作用を得ることを支援することができる。

また、上記において、ロジックデータは、CPU コアによる演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1 つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第 1 ステージと、エグゼキューション、メモリの順に実行される第 2 ステージと、ダミー、ライトバックの順に実行される第 3 ステージの 3 ステージに分け、第 1、第 2、第 3 ステージの順に実行し、1 つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが 3 段パイプライン構成での並列動作を行うための構造を有するものとすることができる。

図面の簡単な説明

図 1 は、本発明の一実施形態に係る集積回路の構成を示すブロック図である。図 2 は、上記集積回路の CPU コアにユーザの回路を接続した場合のデータバスを示す図である。図 3 はパイプライン制御における 3 段パイプの並列動作を示す図である。図 4 は上記 CPU コアの演算処理における 3 つのステージを示す図である。図 5 (a) は分岐アドレス取得のためにストールされている流れを示す図、図 5 (b) は分岐遅延の NOP 挿入の流れを示す図である。図 6 (a) はデータ依存のためにストールされている流れを示す図、図 6 (b) は ALU とレジスタファイ

ルの間にバイパス回路を設けた場合の流れを示す図である。図 7 は上記 CPU コアの演算処理におけるパイプライン制御のフローを示す図である。図 8 は上記 CPU コアのデータパスを示す図である。図 9 は従来のパイプライン制御における 5 段パイプの並列動作を示す図である。

発明を実施するための最良の形態

本発明の一実施形態に係る集積回路について図面を参照して説明する。図 1 に示すように、本発明に係る集積回路 1 は、FPGA (フィールドプログラマブルゲートアレイ) 2 と PROM 3 とを備えた RISC プロセッサであり、システム LSI を構築する。FPGA 2 の構成は、PROM 3 に記憶されているロジックデータに基づいて制御される。よって、FPGA 2 は、PROM 3 に書き込まれるロジックデータの如何に応じて種々の異なるロジック機能を発揮する。本実施形態では、FPGA 2 は、PROM 3 内のロジックデータによって、CPU コア 5、割り込みモジュール 6、タイマモジュール 7、及び CPU コア 5 に接続されるシステムバス (SBUS 又は内部バス) 8 として機能するように構成されている。CPU コア 5 には、割り込み優先度を示すインデックスレジスタ (IREG) 5 a、及びプリスケaler (TREG) 5 b が備えられ、割り込みモジュール 6 には、マスクレジスタ 6 a が備えられている。CPU コア 5 は、システムバス 8 を介して割り込みモジュール 6 及びタイマモジュール 7 に接続されている。また、CPU コア 5 は、アドレスバス 11、データバス 12、コントロールバス 13 のそれぞれと接続し、PROM 3 との間でデータのやりとりが可能とされている。

上記システムバス 8 へのユーザによる任意の回路の接続について図 2 を参照して説明する。システムバス 8 に対しては、ユーザが所望の回路

15を任意に接続することが可能である。図2はかかる場合のデータパスを示すものである。この回路15もロジックデータをPROM3に記憶させることで提供される。ここで示す実施形態では、ユーザの回路15は、XREG15a及びYREG15bに処理結果をラッチし、その結果の処理（リード動作）をCPUコア5に任せている。このようにシステムバス8を設けて、ユーザによる任意の回路15の接続を可能としたことによって、ユーザがCPUコア5の機能を簡単に追加することができることになる。そのため、従来ソフトウェアによるマルチプログラミング制御で多数の命令を使用してしか行うことができなかった処理を、CPUコア5の内部で高速に処理することができるようになる。なお、CPUコア5には、四則演算及び論理演算を行うALU51、及び命令やデータ等を一時的に収納しておくためのレジスタファイル52が備えられており、ALU51とレジスタファイル52との間にはバイパス回路53が設けられている（詳細は後述）。

上記PROM3に記憶させるロジックデータは、CAD等のツールを利用することにより簡単に作成することができる。例えば、CADによって所望の機能を有する回路図を作成し、好みのCPUを構成する。そして、この回路図をデータ変換ソフトを用いてHDL（ハードウェア記述）言語に変換すれば、FPGAをCPUとして機能させるロジックデータを得ることができる。このロジックデータは、コンピュータで読み取り可能な形式の記憶媒体（請求項では記録媒体と言う）、例えば、フロッピーディスク、CD-ROM、DVD等に記憶させてユーザに提供する。ユーザはこの記憶媒体に格納されたデータをCADに読み取らせて、CAD上にてロジックデータを任意に変更し、または、CPUの周辺回路としてユーザ所望の回路を追加することができる。こうして、記憶媒体は、ユーザにおけるシステムLSIの設計の容易化を支援することに

貢献するものとなる。

次に、CPUコア5による演算処理について図3及び図4を参照して説明する。CPUコア5による演算処理は、3段パイプ構成のパイプライン制御で実行される。本実施形態では、1つの演算処理をフェッチ(F)、デコード(D)、エグゼキューション(E)、メモリ(M)及びライトバック(W)の各ステップに、1つのダミー(X)のステップを組み入れた6つのステップからなるものとする。この演算処理を、図4に示すように、F、Dの順に実行される第1ステージと、E、Mの順に実行される第2ステージと、X、Wの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行する。そして、図3に示すように、1つのステージが終了する度に新しい演算処理を開始していく。これによれば、{F、E、X}と{D、M、W}とが常に3段パイプで並列動作することになる。従って、フェッチサイクルとメモリサイクルとが同時に実行されることがなく、これら両サイクルが同一のメモリを競合するという事態が生じない。

ここで、従来からある5段パイプ構成のパイプライン制御について図9を参照して説明する。従来の5段パイプ構成は、演算処理はフェッチ(F)、デコード(D)、エグゼキューション(E)、メモリ(M)及びライトバック(W)の5つのステップからなり、F、D、E、M、Wの順に各ステップを実行し、1つのステップが終了する度に新しい演算処理を開始する。以降は、複数の演算処理における各ステップを並列して実行していく。この制御によれば、図9に示すように、フェッチサイクルとメモリサイクルとを同時に実行するため、同一のメモリを競合することになる。そのため、プログラムキャッシュとデータキャッシュとからなるキャッシュメモリを搭載する必要がある。しかし、本発明は、上述したように、フェッチサイクルとメモリサイクルとが同一のメモリを競

合するという事態が生じないため、キャッシュメモリを搭載する必要はなく、FPGAを効率よく利用することができる。

上記パイプライン制御における構造的ハザード及びデータハザードの解決法を図5及び図6を参照して説明する。上記パイプライン制御では、分岐アドレスの計算は、図5(a)に示すエグゼキューション(E)で行われる。よって、分岐アドレスを得るためにストールさせなければならない。これを回避するために本パイプライン制御では、図5(b)に示すNOPを自動的に挿入するようにしている。また、本パイプライン制御では、図6(a)に示すようなストールの発生が予想される。よって、このストールを回避するために、CPUコア5内部のALU51(図2参照)とレジスタファイル52との間にバイパス回路53を設定する。ALU51にバイパス回路53を設定した場合の流れは図6(b)に示すものとなる。つまり、本パイプライン制御では、2サイクルで動作することになる。

図7及び図8を参照して上記パイプライン制御を具体的に説明する。図7に示すように、F、Dの第1ステージによりPCF(プログラムカウンタフェッチサイクル、図8で54)が実行されると、次はE、Mの第2ステージによりPCE(プログラムカウンタエグゼキューション、図8で55)が行われるが、この第2ステージの開始と同時に、次の新たな演算処理が開始され、その第1ステージ(F、D)でIRF(インストラクションレジスタフェッチサイクル、図8で57)が行われる。つまり、PCEとIRFが並列に処理される。そして、最初の演算処理の方でX、Wの第3ステージが開始されてPR(プログラムレジスタインタラプト、図8で56)が行われると、それと並行して、新たな演算処理の方では第2ステージ(E、M)が開始されてIRE(インストラクションレジスタエグゼキューション、図8で58)が行われる。すな

わち、CPUコア5の第1ステージを実行する部分は、常にF、Dの処理のみを次々に繰り返して実行し、第2ステージ、第3ステージを実行する部分についても同様である。なお、新たな演算処理における第2ステージ(E、M)が終了すると、第3ステージ(X、W)が開始されてIRW(インストラクションレジスタライトバック、図8で59)が行われる。

このように、本実施形態の集積回路1によれば、PROM3に記憶されたロジックデータの内容に基づいて、FPGA2がCPUコア5及びその周辺回路(割り込みモジュール6、タイマモジュール7、システムバス8)として機能するので、FPGA2さえ備えていれば、CPUコア5及び周辺回路のチップを搭載する必要がなく、集積回路1の実装部品を減少させることができる。これにより、集積回路1の構成が簡単になり信頼性が向上する。また、FPGA2において、CPUコア5に接続されるシステムバス8を設けたので、ユーザはこのシステムバス8に対して、所望の機能を有した回路を後付することができる。そのため、CPUコア5の機能を追加・変更することが可能であり、ユーザは好みの機能を有するCPUコアを含むシステムLSIを簡単に構成することができる。

さらに、本実施形態の集積回路1によれば、CPUコア5における演算処理は、3段構成によるパイプライン制御で行い、複数の演算処理の並列動作時に、フェッチサイクルとメモリサイクルとが同時に実行されることがないようにしたので、これら両サイクルが同一のメモリを競合するという事態が生じることがない。そのため、キャッシュメモリの搭載が不要となり、FPGA2を効率良く利用することができる。

なお、本発明は上記実施の形態の構成に限られず種々の変形が可能である。例えば、上記実施の形態では、CPUコア5の周辺回路が割り込

みモジュール6及びタイマモジュール7とされているが、これらのモジュールに限定されるものではなく、他の回路であっても構わない。

産業上の利用可能性

以上のように本発明によれば、CPUコア及び周辺回路の機能の変更は、ロジックデータの設定変更により自在に行うことができるので、所望の機能を有するCPUコアを含むシステムLSIを容易に製造することができる。そのため、生産が中止されたCPUコアと同等の機能を有するCPUコアを製造することも容易であり、ユーザが所有するデータを有効に活用することができる。また、CPUコアはロジックデータで提供されることから、CPUコアを少量生産することも可能であるため、従来のように大量生産しかできないCPUコアよりも低コストで生産することができる。また、FPGAがCPUコア及び周辺回路として機能するので、集積回路に実装しなければならないチップの数を減少させることができ、構成が簡単になり信頼性が向上する。

また、ユーザが所望の回路をシステムバスに後付けすることによって、簡単にCPUコアの機能を追加・変更することができる。よって、CPUコアが好みの機能を発揮するように、ユーザが手軽にCPUコアの構成を操作することができるようになる。また、従来ソフトウェアによるマルチプログラミング制御で多数の命令を使用してしか行うことができなかった処理を、CPUコアの機能を追加・変更することによってCPUコア内部で高速に処理することができるようになる。

また、複数の演算処理を並列動作させるときであっても、フェッチサイクルとメモリサイクルとが同時に実行されることがなく、これら両サイクルが同一のメモリを競合するという事態が生じない。これにより、

キャッシュメモリを必要とすることなく並列動作が可能となるため、その分コストを低減することができ、FPGAを効率良く使用することができる。

また、記録媒体のデータをコンピュータに読み取らせて、コンピュータ上にて請求項1乃至請求項3に記載の発明により得られる効果を奏するシステムLSIの設計を支援することができる。

特許請求の範囲

1. フィールドプログラマブルゲートアレイ (2) 及び記憶装置 (3) を備えた集積回路 (1) において、

CPUコア (5) 及びCPUコア (5) に接続される周辺回路 (6) (7) はロジックデータとして前記記憶装置 (3) に記憶され、この記憶装置 (3) に記憶された内容に基づいて、前記フィールドプログラマブルゲートアレイ (2) が前記CPUコア (5) 及び周辺回路 (6) (7) として機能するように構成されていることを特徴とする集積回路。

2. 前記周辺回路 (6) (7) にはシステムバス (8) が含まれ、該システムバス (8) に対してユーザが任意の回路 (15) を接続することが可能に構成されていることを特徴とする請求項1に記載の集積回路。

3. 前記CPUコア (5) による演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第1ステージと、エグゼキューション、メモリの順に実行される第2ステージと、ダミー、ライトバックの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行し、1つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが3段パイプライン構成での並列動作を行うことを特徴とする請求項1又は請求項2に記載の集積回路。

4. フィールドプログラマブルゲートアレイ (2) 及び記憶装置 (3) からなる集積回路 (1) の記憶装置 (3) に書き込まれるデータが格納され、

該データは、フィールドプログラマブルゲートアレイ (2) がCPUコア (5) 及びCPUコア (5) に接続される周辺回路 (6) (7) として機能するためのロジックデータであることを特徴とするコンピュータ

読み取り可能な記録媒体。

5. 前記周辺回路(6)(7)にはシステムバス(8)を含み、このシステムバス(8)に対してユーザが任意の回路を接続可能とするものであることを特徴とする請求項4に記載のコンピュータ読み取り可能な記録媒体。

6. 前記ロジックデータは、CPUコア(5)による演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第1ステージと、エグゼキューション、メモリの順に実行される第2ステージと、ダミー、ライトバックの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行し、1つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが3段パイプライン構成での並列動作を行うための構造を有することを特徴とする請求項4又は請求項5に記載のコンピュータ読み取り可能な記録媒体。

図 1

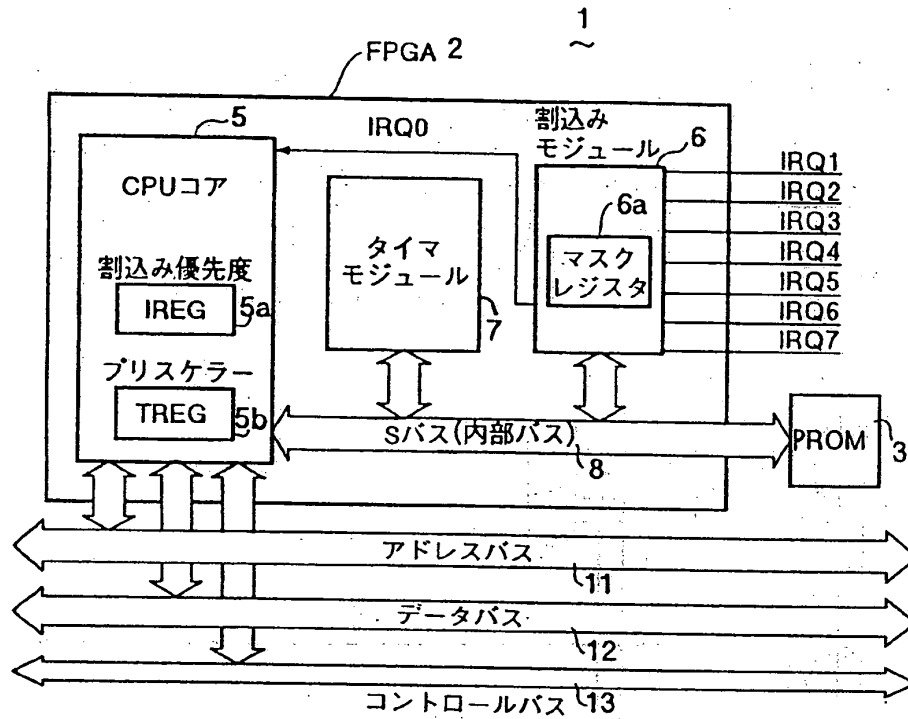


図 2

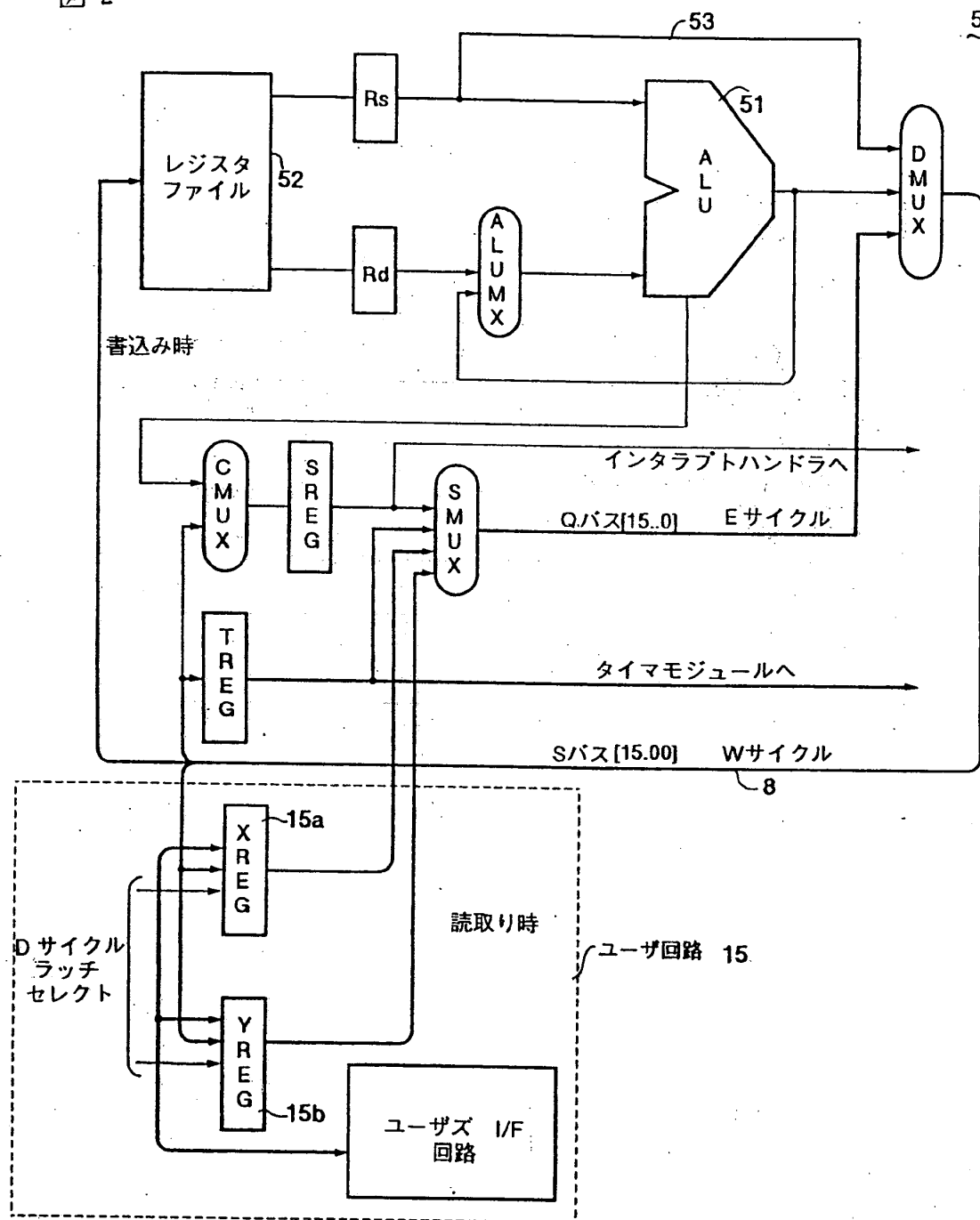


図 3

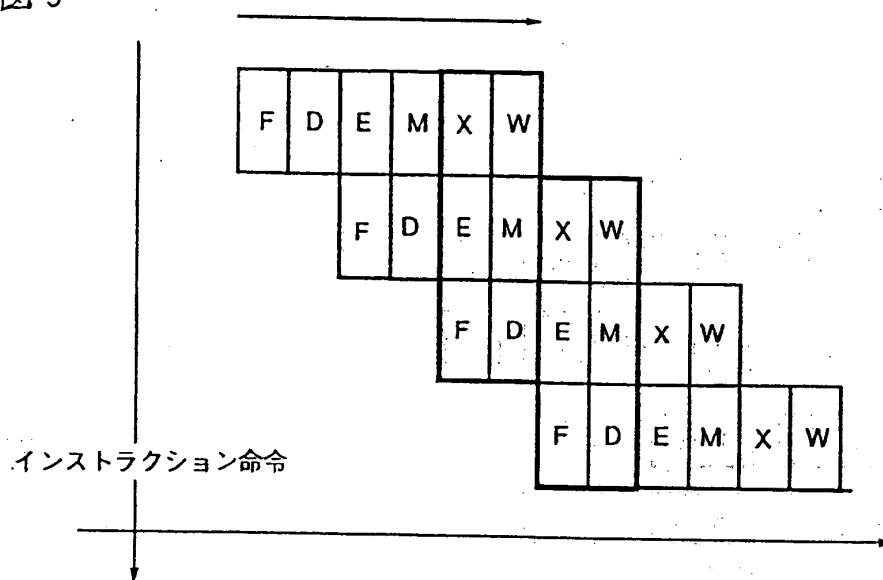


図 4

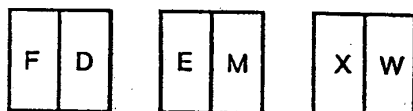


図 5

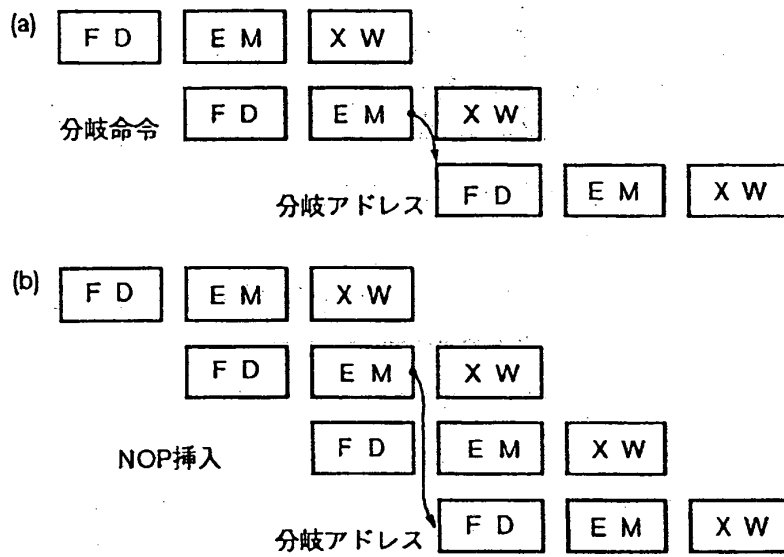
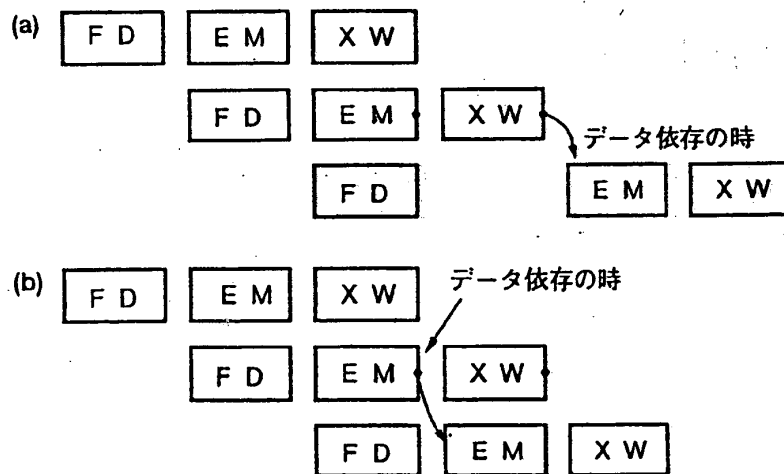


図 6



5/7

図 7

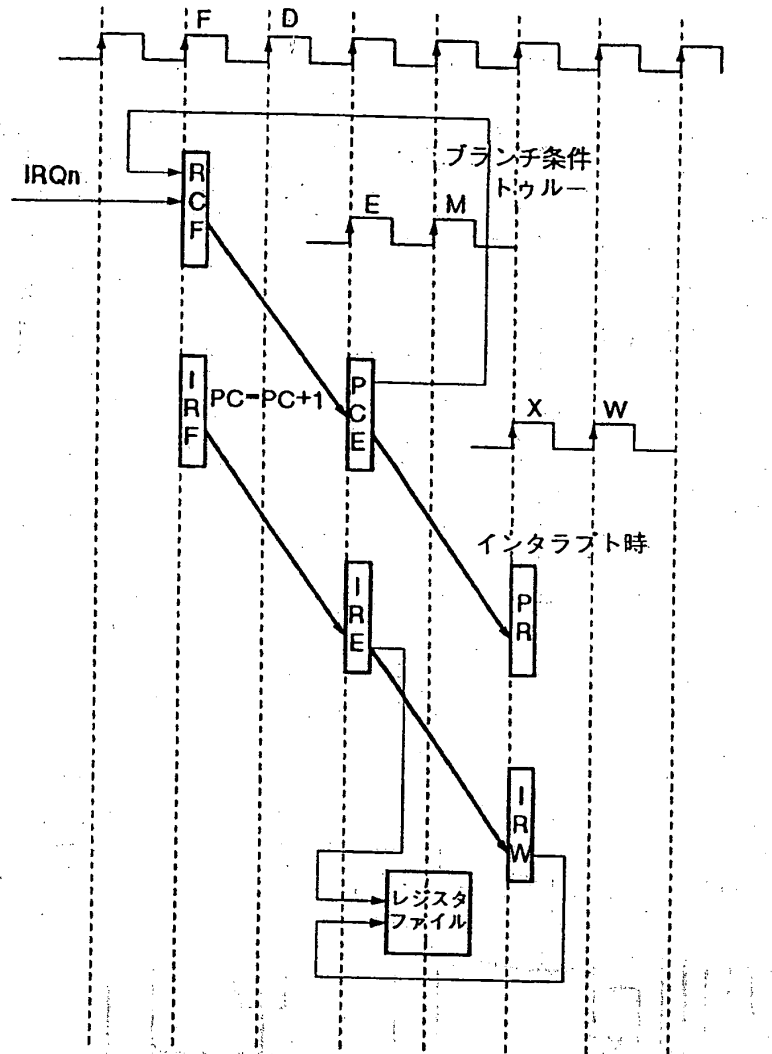
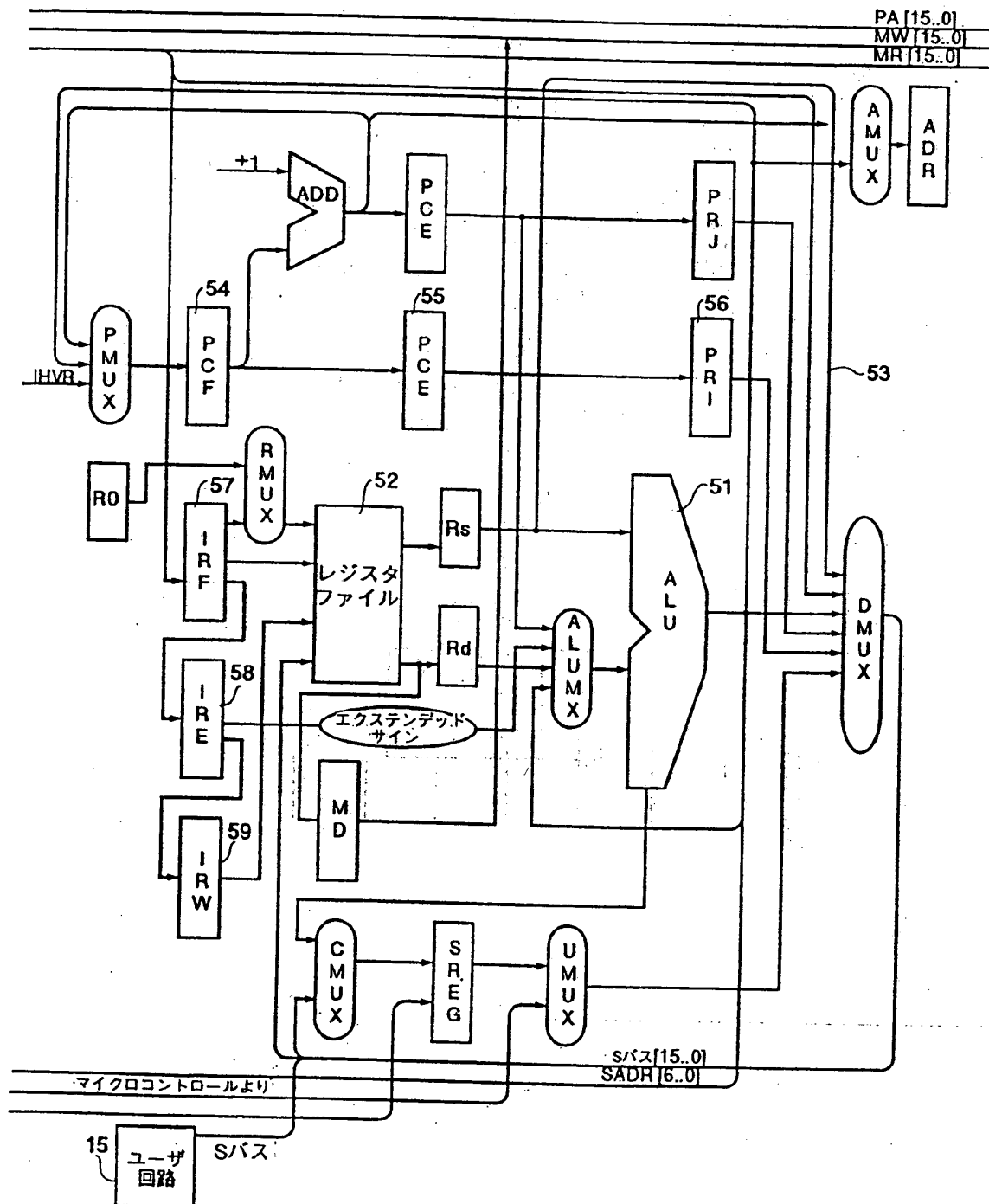


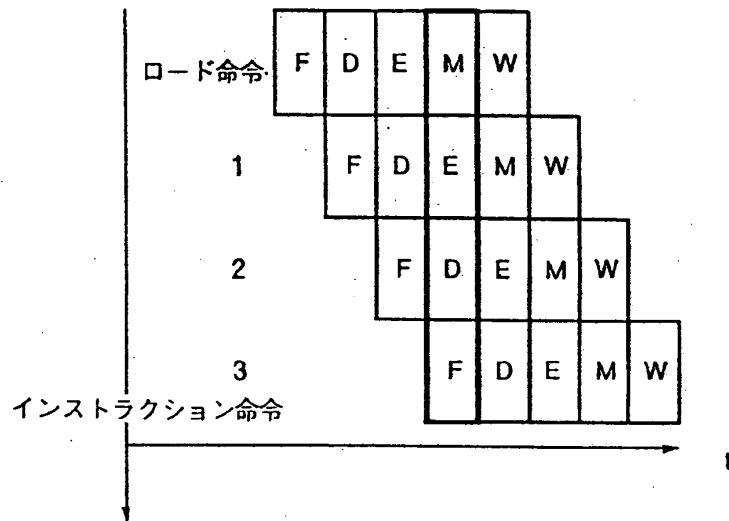
図 8

6/7



7/7

図 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05265

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F15/78, G06F9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F15/78, G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JICST, (FPGA, PLD, PROCESSOR, IC, PIPE LINE)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Electronics, Vol. 43, No. 7, (July, 1998), K. Sakamaki, "CPLD/FPGA Most Advanced Technology; ASIC Strategy using IC Descriptive Linguistics", pages 81-83	1, 2, 4, 5
Y	Bulletin of Electricity and Telecommunications University, Vol. 10, No. 2, (1997), Katsura tsuyoshi et Al., "Plan and Implementation of 32 byte RISC Processor MinIPS", pages 71-78	1, 2, 4, 5
A		3, 6
Y	Wescon Conference Record, (1993), Bruce Kleinman and Bill Cox, "A High-Speed RISC CPU Using the QL16*24 FPGA", pages 245 - 250	1, 2, 4, 5
A		3, 6
Y	Technology Research Report prepared by the Institute of Electronics, Information and Communication Engineers, Vol. 95, No. 25, (ICD95), (1995) Hiroshi Inoue et al., "Didactic RISC Type Micro processor DLX-FPGA and Rapid System Prototyping", pages 71-78	1, 2, 4, 5
A		3, 6
	JP, 4-105126, A (Fujitsu Limited),	

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
24 December, 1999 (24.12.99)

Date of mailing of the international search report
25 January, 2000 (25.01.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05265

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	07 April, 1992 (07.04.92), Full text (Family: none)	3, 6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G 06 F 15/78, G 06 F 9/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G 06 F 15/78, G 06 F 9/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

J I C S T 科学技術文献ファイル、(FPGA, PLD, プロセッサ, 集積回路, パイプライン)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	エレクトロニクス, Vol. 43, No. 7, (7月, 1998) 坂巻佳壽美, “CPLD/FPGA技術最前線 回路記述言語によるASIC戦 略”, p. 81-83	1, 2, 4, 5
Y A	電気通信大学紀要, Vol. 10, No. 2, (1997) 葛毅 外3名, “32ビットRISCプロセッサMinIPSの設計と実装”, p. 71-78	1, 2, 4, 5 3, 6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

24.12.99

国際調査報告の発送日

25.01.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 恭信



5M 9190

電話番号 03-3581-1101 内線 3598

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	Wescon Conference Record, (1993) Bruce Kleinman and Bill Cox, "A High-Speed RISC CPU Using the QL16×24 FPGA", p. 245 - 250	1, 2, 4, 5 3, 6
Y A	電子情報通信学会技術研究報告, Vol. 95, No. 25, (ICD95), (1995) 井上弘士 外4名, "教育用RISC型マイクロプロセ ッサDLX-FPGAとそのラピッドシステムプロトタイピング", p. 71-78	1, 2, 4, 5 3, 6
A	J P, 4-105126, A (富士通株式会社) 7.4月.1992 (07.04.92) 全文, (ファミリーなし)	3, 6